

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10093049 A**

(43) Date of publication of application: **10.04.98**

(51) Int. Cl.

H01L 27/108

H01L 21/8242

H01L 21/3205

(21) Application number: **08246694**

(71) Applicant: **TOSHIBA CORP**

(22) Date of filing: **18.09.96**

(72) Inventor: **NOGUCHI MITSUHIRO
OZAKI TORU**

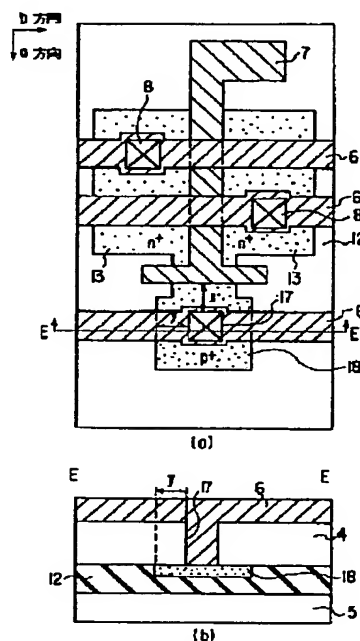
(54) **SEMICONDUCTOR DEVICE AND
MANUFACTURE THEREOF**

(57) Abstract:

PROBLEM TO BE SOLVED: To realize direct alignment about axes for a pattern which usually requires at least two-dimensional alignment by changing a lower layer according to the axis requiring the alignment to select axes requiring the alignment.

SOLUTION: The semiconductor device has contacts 8 having two independent axes, a source-drain diffusion layer 13 formed beneath them and a gate 7. About the axis a the contacts 8 are directly aligned with the gate 7 and indirectly aligned with a diffusion layer 3. About the axis b the contacts 8 are indirectly aligned with the gate 7 and directly aligned with the diffusion layer 13.

COPYRIGHT: (C)1998,JPO



BEST AVAILABLE COPY

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-93049

(43)公開日 平成10年(1998) 4月10日

(51)Int.Cl.⁸

識別記号

F I

H 0 1 L 27/108

H 0 1 L 27/10

6 2 1 Z

21/8242

21/88

Z

21/3205

27/10

6 8 1 B

審査請求 未請求 請求項の数 5 O L (全 14 頁)

(21)出願番号

特願平8-246694

(22)出願日

平成8年(1996) 9月18日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 野口 充宏

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72)発明者 尾崎 徹

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

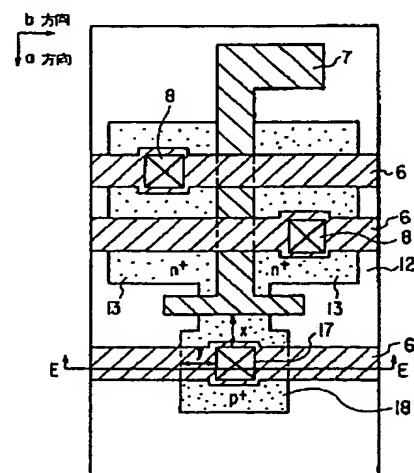
(74)代理人 弁理士 鈴江 武彦 (外6名)

(54)【発明の名称】 半導体装置及びその製造方法

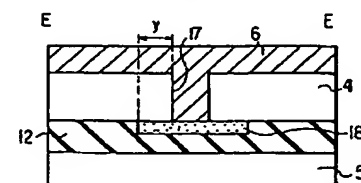
(57)【要約】

【課題】 通常2次元以上の合わせが必要であるパターンにつき、合わせを必要とする軸によって合わせる下地を変えることによって、複数の合わせが必要な軸を選択し、それぞれの軸に関して直接合わせを実現する。

【解決手段】 2つの独立な軸a及びbを持つコンタクト8と、これよりも下層に形成されたソース・ドレイン拡散層13及びゲート7とを備えた半導体装置において、a軸ではコンタクト8を、ゲート7と直接合わせし、ソース・ドレイン拡散層13とは間接合わせし、b軸ではコンタクト8を、ゲート7と間接合わせし、ソース・ドレイン拡散層13と直接合わせした。



(a)



(b)

1

【特許請求の範囲】

【請求項1】2つの独立な軸a及びbを持つ第1のリソグラフィパターンと、第1のリソグラフィパターンとは異なる層に形成された第2及び第3のリソグラフィパターンとを具備してなり、

a軸において、第1のリソグラフィパターンと第2のリソグラフィパターンとの合わせずれ余裕の最小値が、第1のリソグラフィパターンと第3のリソグラフィパターンとの合わせずれ余裕の最小値よりも小さく、

b軸において、第1のリソグラフィパターンと第3のリソグラフィパターンとの合わせずれ余裕の最小値が、第1のリソグラフィパターンと第2のリソグラフィパターンとの合わせずれ余裕の最小値よりも小さいことを特徴とする半導体装置。

【請求項2】第1のリソグラフィパターンを形成している層は、第2及び第3のリソグラフィパターンを形成している層よりも後に形成された層であることを特徴とする請求項1記載の半導体装置。

【請求項3】第2のリソグラフィパターンはメモリセルトランジスタのゲートであり、第3のリソグラフィパターンは上記ゲートと交差して配置され該ゲートよりも上層に形成されるビット線であり、第1のリソグラフィパターンは上記ビット線よりも後に形成された蓄積電極へのコンタクトであることを特徴とする請求項2記載の半導体装置。

【請求項4】少なくとも2つの独立な軸を持つリソグラフィパターンを形成するに際し、各々の軸で合わせ下地を変えることを特徴とする半導体装置の製造方法。

【請求項5】2つの独立な軸a及びbを持つ第1のリソグラフィパターンと、第1のリソグラフィパターンよりも先に形成された第2及び第3のリソグラフィパターンとを備えた半導体装置の製造方法において、第1のリソグラフィパターンを形成するに際し、a軸に対しては第2のリソグラフィパターンを合わせ下地として用い、b軸に対しては第3のリソグラフィパターンを合わせ下地として用いることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数のパターンの合わせずれを小さくした半導体装置及びその製造方法に関する。

【0002】

【従来の技術】LSI等のデバイス集積回路では、素子の面積を縮小することが重要である。素子の面積を縮小する方法としては、リソグラフィに用いる最小デザインルールを小さくする方法と、リソグラフィ層間の合わせ精度を向上させ、合わせ余裕を縮小させる方法がある。ここでは、後者について簡単に説明する。

【0003】デバイス集積回路は通常、リソグラフィパターンを書き込んだ複数個の層を用いて形成され、それ

2

ら層間の位置を合わせる必要がある。例えば、MOSトランジスタを用いた半導体集積回路では、ソース・ドレイン拡散層と配線層との間を電気的に接続するために、ソース・ドレイン拡散層のパターンに対して配線層への穴（コンタクト）のパターンの位置を合わせる必要がある。ここで、例えばリソグラフィの位置精度は、リソグラフィマスクの歪みや合わせる対象となる下地パターンの歪み、又はリソグラフィ光学系の歪みによって損なわれるために、それら2つのパターン間に合わせずれが生じる。

【0004】通常、例えば前記のMOSトランジスタを用いた半導体集積回路では、図18に示すように、拡散層1のパターンの方を予想される合わせずれ分だけ、コンタクト2のパターンよりも大きく確保しておくこと、即ち合わせ余裕を持たせることによって、合わせずれが生じても拡散層1へのコンタクト2が確保されるように設計している。また、合わせ余裕は、例えば拡散層1'とコンタクト2との関係のように、隣接するパターンで誤った電気的接触をしないようにするためにも確保される。

【0005】さらに、図19のように、コンタクト2上の配線層3についても、同様に合わせ余裕を確保する必要がある。図19は、(a)が拡散層1に対するコンタクト2及び配線層3を形成した構造の上面図で、(b)は(a)の矢視A-A'の断面図である。また、図中の4は層間絶縁膜、5は半導体基板を示す。それぞれの構成要素の材質には、層間絶縁膜4としてはシリコン酸化膜、シリコン窒化膜が挙げられ、配線層3としては多結晶シリコン膜、Al膜、W膜、Mo膜、WSi膜、TiSi膜、単結晶シリコン膜、アモルファスシリコン膜が挙げられる。

【0006】このような構造は、次のようにして得られる。まず、半導体基板5を準備し、ドナー又はアクセプタとなる不純物を拡散又はイオン注入で添加しアニールすることによって、拡散層1を形成する。この際、リソグラフィによって拡散層1を形成する部分としない部分とにパターンニングしておく。さらに、全面に絶縁膜4を堆積した後、リソグラフィとエッチングによって、絶縁膜4を部分的に拡散層1が露出するように取り去りコンタクト2を形成する。さらに、例えば配線層3となる導電体膜を全面堆積した後、リソグラフィとエッチングによって導電体膜をパターンニングし、配線層3を形成する。図19の場合、配線層3のパターンの方を予想される合わせずれ分だけコンタクトパターン2よりも大きく確保しておくこと、即ち合わせ余裕を持たせることによって、配線層3の合わせずれが生じても拡散層1と配線層3との電気的接触が確保されるように設計している。

【0007】さて、このような3層以上の多層パターンの合わせでは、パターンの合わせにいわゆる間接合わせが生じることがある。これを、図19及び図20を用い

て説明する。

【0008】まず、図19のように、拡散層1のパターンとずれないように、コンタクト2のパターンを合わせる必要がある。次に、コンタクト2のパターンとずれないように、配線層3のパターンを合わせる必要がある。そこで、図20のように、拡散層1のパターンをコンタクト2のパターンのリソグラフィの時の合わせ下地に用い、コンタクト2のパターンを配線層3のパターンのリソグラフィの時の合わせ下地に用いることを普通行う。ここで、例えばコンタクト2のパターンと配線層3のパターンとの関係や拡散層1とコンタクト2との関係を、直接合わせと呼ぶことにする。さらに、拡散層1のパターンと配線層3のパターンとの関係は、直接にはリソグラフィの下地として拡散層1を用いていないので、ここでは間接合わせの関係と呼ぶことにする。

【0009】図20に示すように、コンタクト2のパターンと配線層3のパターンとの合わせずれを Δc 、拡散層1のパターンとコンタクト2のパターンとの合わせずれを Δd とすると、拡散層1と配線層3とのパターンの合わせずれは $(\Delta c + \Delta d)$ となり、一般的に直接合わせに比べ間接合わせの方が合わせずれの分散は増大する。例えば、各々の合わせずれが正規分布に従った広がりを持つとして、コンタクト2のパターンと配線層3のパターンとの合わせずれの標準偏差を σc 、拡散層1のパターンとコンタクト2のパターンとの合わせずれの標準偏差を σd とすると、拡散層1と配線層3とのパターンの合わせずれは $(\sigma c^2 + \sigma d^2)^{1/2}$ となる。

【0010】従来、合わせ下地には1つの層しか用いることがないため、この直接合わせ及び間接合わせの関係は、全ての合わせる必要のある軸について同等であった。ここで、例えば半導体ウェハで合わせる必要のある軸とは、オリエンテーションフラットやノッチ方向について平行及び垂直な面内軸、及びウェハの面内回転角、ウェハのマスクに対する傾きなどを指す。

【0011】ここで、従来の合わせ下地に1つの層しか用いない合わせ方法では、合わせ精度に対して次のような問題を生じることがあった。これを、図21のMOSFETを用いて説明する。

【0012】図21の(a)は半導体基板上に形成されたトランジスタの平面図で、(b)及び(c)はそれぞれ(a)の矢視C-C'及び矢視D-D'の断面図である。図中の4、4'は層間絶縁膜、5は半導体基板、6は配線となる導電体層、7はトランジスタのゲートとなる導電体膜、8は配線層へのコンタクト、11はゲート絶縁膜、12は素子分離膜、13はソース・ドレイン拡散層となるトランジスタ領域を示す。

【0013】図21において、通常、ソース・ドレイン拡散層となるトランジスタ領域13は、コンタクト8と合わせ余裕(図のy)を小さく保つため、直接合わせで形成される。即ち、トランジスタ領域13に対してコン

タクト8が直接合わせて形成され、同様にゲート7もトランジスタ領域13に対し直接合わせて形成される。そこで、従来の合わせ下地に1つの層しか用いない合わせ方法では、図22(b)に示すように、ゲート7とコンタクト8との合わせは間接合わせとなる。よって、ゲート7とコンタクト8との距離(図のx)のばらつきは、ゲート7とコンタクト8とを直接合わせした場合よりも大きくなる。このため、ゲート7とコンタクト8までのソース・ドレイン抵抗のばらつきが増大し、トランジスタの寄生抵抗やソース・ドレイン容量のばらつきが増大する。

【0014】また、ゲート7がコンタクト8に近接して形成されることがあるため、ゲート7とコンタクト8との短絡や、コンタクト8からの不純物拡散によるトランジスタのパンチスルーが生じやすくなり、さらにゲート7を挟んでソース・ドレイン拡散層13との短絡が生じやすくなる。

【0015】逆に、ゲート7とコンタクト8との合わせ余裕(図のx)を小さく保つため、これらを直接合わせで形成した場合、従来の合わせ下地に1つの層しか用いない合わせ方法では、図22(a)に示すように、ソース・ドレイン拡散層となるトランジスタ領域13とコンタクト8との合わせは間接合わせとなる。よって、トランジスタ領域13の端とコンタクト8との距離(図のy)のばらつきは、直接合わせした場合よりも分散が大きくなる。このため、トランジスタ領域13上にコンタクト8が形成されるよう、トランジスタ領域13の端とコンタクト8までの合わせ余裕を、直接合わせの場合よりも大きく確保する必要があり、コンタクト8の断面積を一定に確保したままトランジスタのソース・ドレイン領域のチャネル方向の幅を狭くすることが困難となる。

【0016】

【発明が解決しようとする課題】このように従来、合わせ下地に1つの層しか用いない合わせ方法では、2層以上の合わせを必要とする下地が存在する層について、合わせ下地として選択していない層との間に間接合わせの状態が生じ、合わせ誤差の分散が拡大する問題があった。

【0017】本発明は、上記問題を解決すべくなされたもので、その目的とするところは、2層以上の合わせを必要とする層について各々に必要な方向の合わせ誤差を減少させることができ、高集積化に適したパターン配置を可能にする半導体装置及びその製造方法を提供することにある。

【0018】

【課題を解決するための手段】

(構成)本発明の骨子は、通常2次元以上の合わせが必要であるパターンにつき、合わせを必要とする軸により合わせる下地を変えることによって、複数の合わせが必要な軸を選択し、それぞれの軸に関して直接合わせを実

現することにある。

【0019】即ち、本発明（請求項1）は、少なくとも2つの独立な軸a及びbを持つ第1のリソグラフィパターンと、第1のリソグラフィパターンとは異なる層に形成された第2及び第3のリソグラフィパターンとを備えた半導体装置において、a軸に関しては、第1のリソグラフィパターンと第2のリソグラフィパターンとの合わせずれ余裕の最小値が、第1のリソグラフィパターンと第3のリソグラフィパターンとの合わせずれ余裕の最小値よりも小さく、b軸に関しては、第1のリソグラフィパターンと第3のリソグラフィパターンとの合わせずれ余裕の最小値が、第1のリソグラフィパターンと第2のリソグラフィパターンとの合わせずれ余裕の最小値よりも小さいことを特徴とする。

【0020】ここで、本発明の望ましい実施態様としては次のものがあげられる。

【0021】(1) 第1のリソグラフィパターンを形成している層が、第2及び第3のリソグラフィパターンを形成している層よりも上層に形成されていること。

【0022】(2) 第2のリソグラフィパターンはトランジスタのゲートを形成し、第3のリソグラフィパターンは配線層を形成し、第1のリソグラフィパターンはトランジスタのソース電極、ドレイン電極、又はボディ電極に対するコンタクトホールとなること。

【0023】(3) 第2のリソグラフィパターンはトランジスタのゲートを形成し、第3のリソグラフィパターンはトランジスタのソース電極又はドレイン電極を形成し、第1のリソグラフィパターンはトランジスタのソース電極、ドレイン電極、又はボディ電極に対するコンタクトホールとなること。

【0024】(4) 第2のリソグラフィパターンにメモリセルトランジスタのゲート電極（ワード線）が含まれ、第3のリソグラフィパターンにビット線が含まれ、第1のリソグラフィパターンに、メモリセルトランジスタのソース電極又はドレイン電極と蓄積電極とを接続するコンタクトホールが含まれること。

【0025】(5) 第2のリソグラフィパターンはトランジスタのゲートを形成し、第3のリソグラフィパターンは第1のゲートと直交する配線層を形成し、第1のリソグラフィパターンはトランジスタのゲートに対するコンタクトホールとなること。

【0026】(6) 第2のリソグラフィパターンはメモリセルトランジスタのゲートであり、第3のリソグラフィパターンは上記ゲートと交差して配置され該ゲートよりも上層に形成されるビット線であり、第1のリソグラフィパターンは上記ビット線よりも上層に形成される蓄積電極へのコンタクトであること。

【0027】また、本発明（請求項4）は、少なくとも2つの独立な軸を持つリソグラフィパターンを有する半導体装置の製造方法において、前記リソグラフィパター

ンの形成に際して各々の軸で合わせ下地を変えることを特徴とする。

【0028】また、本発明（請求項5）は、上記構成の半導体装置を製造するための方法において、第1のリソグラフィパターンを形成するに際し、a軸に対しては第2のリソグラフィパターンを合わせ下地として用い、b軸に対しては第3のリソグラフィパターンを合わせ下地として用いることを特徴とする。

【0029】（作用）本発明によれば、2層以上の合わせを必要とする下地が存在する層について、それぞれ合わせ下地として必要な軸を選択することによって、2層以上の下地に対しても各々の軸において直接合わせが実現できる。よって、2層以上の合わせを必要とする下地が存在した場合でも、必要な軸において従来のような間接合わせの状態が生じず、合わせ誤差の分散が拡大しない。よって、合わせ余裕を縮小することができ、より高集積化を図ることができる。

【0030】

【発明の実施の形態】以下、図面を参照しながら本発明の実施形態を説明する。

【0031】（実施形態1）図1は、本発明の第1の実施形態に係わる半導体装置における合わせ関係を示す模式図であり、(a)はa方向の関係、(b)はb方向の関係を示している。この図に対応する構造平面図は前記図21と同じなので省略する。本実施形態では、図21で示すように複数のコンタクトを形成しているが、これらは必ずしも複数形成する必要はなく、それぞれ単独に実施することができる。

【0032】本実施形態において、b方向、即ち図21(a)の紙面上下方向では、図1(b)に示すように、コンタクト8はソース・ドレイン拡散層13と直接合わせになっている。従って、図21(a)でyで示されるコンタクト8とソースドレイン拡散層13との合わせ余裕は、直接合わせの小さな値に保つことができる。よって、ソース・ドレイン拡散層となるトランジスタ領域13上にコンタクト8が形成されるよう、トランジスタ領域13の端とコンタクト8までの合わせ余裕を間接合わせの場合よりも小さくすることができ、コンタクトの断面積を一定に確保したままトランジスタのソース・ドレイン領域のチャネル方向の幅を狭くすることが可能である。

【0033】なお、ゲート7とコンタクト8とは間接合わせとなるが、b方向に関してはこれらのずれが生じて問題とならない。

【0034】一方、a方向、即ち図21(a)の紙面左右方向では、図1(a)に示すように、コンタクト8はゲート7と直接合わせになっている。従って、図21(a)でxで示されるコンタクト8とゲート7との合わせ余裕は、直接合わせの小さな値に保つことができる。よって、ゲート7とコンタクト8との距離（図のx）の

7

ばらつきを、ゲート7とコンタクト8とを直接合わせした小さな値に保つことができる。このため、ゲートとコンタクトまでのソース・ドレイン抵抗のばらつきが増大し、トランジスタの寄生抵抗が増大する問題が減少する。

【0035】また、ゲート7とコンタクト8との距離がより一定に保たれるため、ゲート7とコンタクト8との短絡や、コンタクトからの不純物拡散によるトランジスタのパunchスルーが生じにくくなり、さらに、ゲート7を挟んでソース拡散層とドレイン拡散層との短絡も生じにくい。なお、コンタクト8とソース・ドレイン拡散層13とは間接合わせとなるが、a方向に関してはこれらのずれが生じて問題とならない。

【0036】ここで、このコンタクトの合わせの問題は、ソース・ドレイン拡散層となるトランジスタ領域13に対するコンタクト8の関係のみならず、活性領域とゲートとの合わせが必要なコンタクト、つまり図2のようなSOI (Silicon On Insulator) 基板においてのボディコンタクト17やウェルコンタクトでも同様に生じ、図1の合わせ方法を用いることで問題の解決ができる。なお、図2の(a)は平面図、(b)は(a)の矢視E-E'断面図である。また、ボディコンタクトとは、ソース・ドレイン拡散層13の導電性とは逆にドーブしたボディ領域18に形成されたコンタクトで、トランジスタのチャネル領域と同導電性でつながっており、チャネル部で生じた少数キャリアを引き抜くことができるようにしたコンタクトである。

【0037】なお、図2では、ボディ領域18が半導体基板5と素子分離絶縁膜12で分離されたSOI構造を示したが、ボディ領域18と半導体基板5とが電氣的に接続されている場合の基板ウェルコンタクトでも同様に用いることができる。また、図2では、ソース・ドレイン拡散層13をn⁺、ボディ領域18をp⁺と示したが、逆にソース・ドレイン拡散層13をp⁺、ボディ領域18をn⁺としてもよい。

【0038】(実施形態2) 第1の実施形態までで説明した間接合わせの問題は、特に高密度メモリにおいて顕著となる。これは、高密度メモリでは合わせ余裕を大きく確保できないことによる。本発明は、最も合わせ余裕が必要とされる方向を決めるのが容易なため、特にゲート方向や配線方向が一方向に揃う場合の多い高密度メモリにおいて有効に作用する。以下、DRAMを例に具体例を挙げて説明する。

【0039】本実施形態は、COB (Capacitor Over Bitline) 型DRAMで特に問題となる蓄積電極へのコンタクトに関するものである。図3(a)はCOB型DRAMのセル部分の平面図、(b)は(a)の矢視A-A'断面図、(c)は(a)の矢視B-B'断面図である。図3において、9は蓄積電極へのコンタクト、10は蓄積電極、14は蓄積電極10や配線(ビット線)6

8

への接続電極、15はキャパシタ絶縁膜、16はプレート電極を示す。図3(a)では、構造を分かり易くするために、蓄積電極コンタクト9を形成した後の平面図を示してある。

【0040】なお、前述の図と同一の部分には、同一符号を付けて詳しい説明は省略する。ここで、構造を分かり易くするために、(a)の一番下の図では、ビット線6及びワード線7を取り除いたトランジスタ領域の構造を示している。また、本実施形態では、複数のメモリセルを形成しているが、これらは図の配置で形成する必要は必ずしもなく、それぞれ単独に実施することができる。

【0041】メモリセル領域は、p型半導体基板5上に作成され、素子領域は基板表面に形成された素子分離絶縁膜12によって区切られている。基板5の上部には、ゲート絶縁膜11を介してゲート電極7が形成されている。このゲート電極7は、セルアレイの一方向にパターンニングされてワード線となっている。ゲート電極7の両側には、セルトランジスタのソース・ドレイン拡散層となるn型層13が形成されている。このn型層13の上部には、ビット線6又は蓄積電極10と電氣的接続を取るための接続電極14が形成されている。n型層13の一方の上部はビット線コンタクト8を介して導電体6と接続されており、導電体6は一方にパターンニングされてビット線を形成している。さらに、ゲート7を介して逆側のn型層13の上部には、蓄積電極コンタクト9を介して蓄積電極10が形成されている。

【0042】ここで、蓄積電極10は、キャパシタ絶縁膜15を挟んでプレート電極16と対向し、DRAMのキャパシタを形成している。また、キャパシタ電極10はビット線6の上部に形成され、いわゆるCOB構造となっている。

【0043】さて、このようなDRAMでは、従来、蓄積電極10に対するコンタクト9を形成する時に合わせの問題が生ずる。例えば、図4にa方向に蓄積電極への接続用コンタクト9がずれた場合の平面図(a)とその矢視A-A'断面図(b)を示す。これは、コンタクト9の合わせの際に、例えばトランジスタのソース・ドレイン領域13やビット線6を合わせ下地としたときに、ゲート7とコンタクト9とが間接合わせになるために生じる。この場合、(b)の断面図で分かるように、ゲート7上にコンタクト9が形成される可能性が高くなり、ゲート7と蓄積電極10との短絡が生じやすくなり、容量結合が大きくなる。さらに、接続電極14とコンタクト9との重なりが小さくなり、直列抵抗が上昇し、ずれが大きい場合には断線する。この直列抵抗が上昇すると、蓄積電極10に十分に電荷を書き込めなくなり、不良ビットの原因となる。

【0044】次に、例えば、図5にb方向に蓄積電極10への接続コンタクト9がずれた場合の平面図(a)と

9

その矢視B-B'断面図(b)を示す。これは、コンタクト9の合わせの際に、例えばゲート7を合わせ下地とし、ビット線6とコンタクト9とが間接合わせになるために生じる。この場合、(b)の断面図で分かるように、ビット線6上にコンタクト9が形成される可能性が高くなり、ビット線6と蓄積電極10との短絡が生じやすくなり、容量結合が大きくなる。さらに、接続電極14とコンタクト9との重なりが小さくなり、直列抵抗が上昇し、ずれが大きい場合には断線する。この直列抵抗が上昇すると、蓄積電極10に十分に電荷を書き込めなくなり、不良ビットの原因となる。

【0045】そこで、図6(a)(b)のような合わせのような合わせ構造を用いることにより、b方向、即ち図5(a)の紙面上下方向では、コンタクト9はビット線6と直接合わせにすることができる。よって、ビット線6上にコンタクト9が形成されることが少なくなり、ビット線6と蓄積電極10との短絡を防ぎ、容量結合を小さくすることができる。さらに、合わせずれが小さいため、接続電極14とコンタクト9との重なりを大きく保つことができ、蓄積電極10とセルトランジスタ間の直列抵抗を小さく保つことができ、蓄積電極10に十分に電荷を書き込めなくなる不良ビットの発生を抑えることができる。

【0046】なお、b方向に関してはコンタクト9とゲート7は間接合わせであるが、ゲート7はb方向と平行であるので、コンタクト9がゲート7に対してb方向にずれても何等問題とならない。

【0047】さらに、図6(a)(b)のような合わせのような合わせ構造を用いることにより、a方向、即ち図4(a)の紙面左右方向では、コンタクト9はゲート7と直接合わせにすることができる。よって、ゲート7とコンタクト9との距離のばらつきを、ゲート7とコンタクト9とを直接合わせした小さな値に保つことができる。このため、ゲート7上にコンタクト9が形成されることが少なくなり、ゲート7と蓄積電極10との短絡を防ぎ、ゲート7と蓄積電極10との容量結合のばらつきを小さくすることができる。さらに、合わせずれが小さいため、接続電極14とコンタクト9との重なりを大きく保つことができ、蓄積電極10とセルトランジスタ間の直列抵抗を小さく保つことができ、蓄積電極10に十分に電荷を書き込めなくなる不良ビットの発生を抑えることができる。

【0048】なお、a方向に関してはコンタクト9とソース・ドレイン拡散層13は間接合わせであるが、コンタクト9がソース・ドレイン拡散層13に対してa方向にずれても何等問題とならない。

【0049】(実施形態3)第2の実施形態で説明した合わせずれの問題は、蓄積電極コンタクト9のみならず、ビット線コンタクト8の形成の際にも生じる。本実施形態は、このビット線コンタクトの合わせに関するも

10

のである。まず、ビット線コンタクトについての合わせ問題を説明する。

【0050】図7(a)に図3のCOB型DRAMのビット線部分の平面図を、(b)に(a)の矢視C-C'断面図を、(c)に(a)の矢視D-D'断面図を示す。ここで、構造を分かり易くするために、(a)の一番下では、ビット線6及びゲート7を取り除いた構造を示している。また、本実施形態では、複数のメモリセルを形成しているが、これらは図の配置で形成する必要は必ずしもなく、それぞれ単独に実施することができる。

【0051】さらに、図8にa方向にビット線への接続コンタクト8がずれた場合の平面図(a)とその矢視C-C'断面図(b)を示す。これは、コンタクト8の合わせの際に、例えばトランジスタのソース・ドレイン領域13を合わせ下地としたときに、ゲート7とコンタクト8とが間接合わせになるために生じる。この場合、

(b)の断面図で分かるように、ゲート7上にコンタクト8が形成される可能性が高くなり、ゲート7とビット線6との短絡が生じやすくなり、ビット線6との容量結合が大きくなる。このため、ビット線6の寄生容量が大きくなり、一つのビット線6につなげられるセルの個数、センス感度や読み出し及び書き込み速度を減少させる。さらに、接続電極14とコンタクト8との重なりが小さくなり、直列抵抗が上昇し、ずれが大きい場合には断線する。この直列抵抗が上昇すると、蓄積電極10に十分に電荷を書き込めなくなり、不良ビットの原因となる。

【0052】次に、例えば、図9にb方向にビット線6への接続用コンタクト8がずれた場合の平面図(a)とその矢視D-D'断面図(b)を示す。これは、コンタクト8の合わせの際に、例えばゲート7を合わせ下地とし、接続電極14とコンタクト8とが間接合わせになるために生じる。この場合、(b)断面図で分かるように、接続電極14とコンタクト8との重なりが小さくなり、直列抵抗が上昇し、ずれが大きい場合には断線する。この直列抵抗が上昇すると、蓄積電極10に十分に電荷を書き込めなくなり、不良ビットの原因となる。

【0053】そこで、図10(a)(b)のような合わせのような合わせ構造を用いることにより、b方向、即ち図9(a)の紙面上下方向では、ビット線コンタクト8は接続電極14と直接合わせにすることができる。よって、合わせずれが小さいため、接続電極14とコンタクト8との重なりを大きく保つことができ、ビット線6とセルトランジスタ間の直列抵抗を小さく保つことができ、蓄積電極10に十分に電荷を書き込めなくなる不良ビットの発生を抑えることができる。

【0054】さらに、図10(a)(b)のような合わせのような合わせ構造を用いることにより、a方向、即ち図8(a)の紙面左右方向では、コンタクト8はゲート7と直接合わせにすることができる。よって、ゲート

7とコンタクト8との距離のばらつきを、ゲート7とコンタクト8とを直接合わせした小さな値に保つことができる。このため、ゲート7上にコンタクト8が形成されることが少なくなり、ゲート7とビット線6との短絡を防ぎ、ゲート7とビット線6との容量結合を小さくすることができる。このため、ビット線6の寄生容量が小さくなり、一つのビット線6につなげられるセルの個数、センス感度や読み出し及び書き込み速度を改善できる。さらに、合わせずれが小さいため、接続電極14とコンタクト8との重なりを大きく保つことができ、ビット線6とセルトランジスタ間の直列抵抗を小さく保つことができ、蓄積電極10に十分に電荷を書き込めなくなる不良ビットの発生を抑えることができる。

【0055】このような合わせ問題は、ビット線とゲートとが同一線上にあるCOB型スタックドキャパシタ型DRAMでも同様に生ずる。図11(a)はビット線とゲートとが同一線上にあるCOB型スタックドキャパシタ型DRAMのビット線への接続電極まわりの平面図、(b)は(a)の矢視C-C'断面図、(c)は(a)の矢視D-D'断面図である。この例では、前記従来例に比較して、ビット線コンタクト部分に接続電極14を用いていないことが異なっている。

【0056】ビット線6とソース・ドレイン拡散層13との間に接続電極パッド14がないこの例でも、図12(a)に平面図を、(b)にその矢視C-C'断面図を示すように、ビット線コンタクト8がa方向にずれると、ゲート7上にコンタクト8が形成される可能性が高くなり、ゲート7とビット線6との短絡が生じやすくなり、ビット線6とゲート7との容量結合が大きくなる。このため、ビット線6の寄生容量が大きくなり、一つのビット線6につなげられるセルの個数、センス感度や読み出し及び書き込み速度を減少させる。さらに、接続電極14とコンタクト8との重なりが小さくなり、直列抵抗が上昇し、ずれが大きい場合には断線する。この直列抵抗が上昇すると、蓄積電極10に十分に電荷を書き込めなくなり、不良ビットの原因となる。

【0057】また、例えば、図13にb方向にビット線6への接続用コンタクト8がずれた場合の平面図(a)及びその矢視D-D'断面図(b)を示す。これは、コンタクト8の合わせの際に、例えばゲート7を合わせ下地とし、ソース・ドレイン拡散層13とコンタクト8とが間接合わせになるために生じる。この場合、(b)の断面図で分かるように、ソース・ドレイン拡散層13とコンタクト8との重なりが小さくなり、直列抵抗が上昇し、ずれが大きい場合には断線する。この直列抵抗が上昇すると、蓄積電極10に十分に電荷を書き込めなくなり、不良ビットの原因となる。

【0058】そこで、図14(a)(b)のような合わせ構造を用いることにより、b方向、即ち図13(a)の紙面上下方向では、ビット線コンタクト8はソース・

ドレイン拡散層13と直接合わせにすることができる。よって、合わせずれが小さいため、ソース・ドレイン拡散層13とコンタクト8との重なりを大きく保つことができ、ビット線6とセルトランジスタ間の直列抵抗を小さく保つことができ、蓄積電極10に十分に電荷を書き込めなくなる不良ビットの発生を抑えることができる。

【0059】さらに、図14(a)(b)のような合わせのような合わせ構造を用いることにより、b方向、即ち図12(a)の紙面左右方向では、コンタクト8はゲート7と直接合わせにすることができる。よって、ゲート7とコンタクト8との距離のばらつきを、ゲート7とコンタクト8とを直接合わせした小さな値に保つことができる。このため、ゲート7上にコンタクト8が形成されることが少なくなり、ゲート7とビット線6との短絡を防ぎ、容量結合を小さくすることができる。このため、ビット線6の寄生容量が小さくなり、一つのビット線6につなげられるセルの個数、センス感度や読み出し及び書き込み速度を改善できる。さらに、合わせずれが小さいため、ソース・ドレイン拡散層13とコンタクト8との重なりを大きく保つことができ、蓄積電極10とセルトランジスタ間の直列抵抗を小さく保つことができ、蓄積電極10に十分に電荷を書き込めなくなる不良ビットの発生を抑えることができる。

【0060】このビット線6の合わせに関する問題は、図15のようなトレンチキャパシタ型DRAMでも同様に生じる。図15(a)はトレンチキャパシタ型DRAMのビット線への接続電極まわりの平面図、(b)は(a)の矢視C-C'断面図、(c)は(a)の矢視D-D'断面図である。ここで、図15において、その構造を分かり易くするために、(a)の一番下ではビット線6を取り除いた構造を示している。また、本実施形態では、複数のメモリセルを形成しているが、これらは図の配置で形成する必要は必ずしもなく、それぞれ単独に実施することができる。

【0061】図15において、メモリセル領域は、p型半導体領域5上に作成され、基板5の内部には、トレンチが形成されている。素子領域は基板表面に形成された素子分離絶縁膜12によって区切られている。また、トレンチ内には、キャパシタ絶縁膜15を介して蓄積電極10が埋め込み形成されている。即ちこの実施形態では、p型シリコン基板の下部16はMOSキャパシタのプレート電極となり、キャパシタ絶縁膜15及び蓄積電極10からMOSキャパシタが構成されている。ここで、キャパシタプレート16はn型にドーピングしてもよい。さらに、キャパシタトレンチ上部には、トレンチと基板とを分離する素子分離絶縁膜12がトレンチと自己整合的に形成されている。

【0062】また、基板5の上部には、ゲート絶縁膜11を介してゲート電極7が形成されている。このゲート電極7は、セルアレイの一方方向にパターンニングされてワ

ード線となっている。ゲート電極7の両側にはn型のソース・ドレイン拡散層13が形成されている。さらに、上記の各部を形成した基板には層間絶縁膜4が設けられ、この層間絶縁膜4にビット線コンタクト8が形成されている。そして、ソース・ドレイン拡散層13の一部はビット線コンタクト8を介してビット線6に接続されている。

【0063】このようなトレンチ型DRAMについてのビット線コンタクト8の合わせの問題は、前記図14に示した合わせ構造を用いることによって、ビット線6とゲート7とが同一線上にあるCOB型スタックドキャパシタ型DRAMと同様の改善ができるので、ここでは省略する。

【0064】（実施形態4）本実施形態は、例えばメモリセルのゲート抵抗による遅延を改善するために行われる低抵抗配線によるゲートの裏うち（shunt）に関するものである。図16は、ゲート7を裏うち（shunt）するための、例えばアルミニウムやタングステンなどの配線21とのコンタクト20の部分の平面図

（a）と、その矢視F-F'の断面図（b）である。なお、前述の図と同一の部分には、同一符号をつけて詳しい説明は省略する。ここで、構造を分かり易くするために、（a）では配線21を取り除いた構造を示している。また、本実施形態では、複数の配線を形成しているが、これらは図の配置で形成する必要は必ずしもなく、コンタクト20が隣り合うゲート7で複数形成されてもよい。

【0065】ゲート電極7は、p型半導体基板5上に作成され、素子領域は基板表面に形成された素子分離絶縁膜12によって分離されている。ゲート電極7の上部には層間絶縁膜4が形成され、ビット線6、層間絶縁膜4、配線21の順で下から積層されている。また、ゲート電極7と低抵抗配線21はコンタクト20を通じてビット線6に接触することなく電気的接続をしている。

【0066】本実施形態において、合わせの構造を図17（a）（b）に示す。このような合わせ構成を取ることにより、b方向、即ち図16（a）の紙面上下方向では、コンタクト20はビット線6と直接合わせになっている。従って、図16でxで示される、コンタクト20とビット線6との合わせ余裕は、直接合わせの小さな値に保つことができる。よって、ビット線6上にコンタクト20が形成されることが少なくなり、ビット線6とゲート7との短絡を防ぎ、容量結合を小さくすることができる。

【0067】一方、a方向、即ち図16（a）の紙面左右方向では、コンタクト20はゲート7と直接合わせになっている。従って、図16でyで示される、コンタクト20とゲート7との合わせ余裕は、直接合わせの小さな値に保つことができる。よって、ゲート7とコンタクト20との距離（図のy）のばらつきを、ゲート7とコ

ンタクト20とを直接合わせした小さな値に保つことができる。このため、ゲート7上にコンタクト20を合わせずれ少なく形成することができ、コンタクト抵抗のばらつきを小さく抑えることができる。

【0068】なお、本発明は上述した各実施形態に限定されるものではない。合わせ余裕としては、図19に示したように、コンタクトに対する下地の残り幅を、多数チップで平均値を取ったものを用いればよい。また、合わせずれに対しては、前記下地残り幅の合わせ余裕からの変動幅をとっても良いし、リソグラフィ装置用の合わせマークでのずれを取ってもよい。勿論、人間が光学的に読めるマークで合わせずれを測定してもよい。

【0069】実施形態では合わせる必要がある軸としてウェハ面内の2軸を示したが、この他にも、オリエンテーションフラットやノッチ方向について平行及び垂直な面内軸、及びウェハの面内回転角、ウェハのマスクに対する傾きなどを任意の軸を用いてもよい。本実施形態では、半導体装置を例に挙げたが、例えば、同様の交差する微細配線構造を必要とされる磁気回路やジョセフソン回路のようなMIM接合など、リソグラフィの合わせ手段が同じであれば、形成される構造材の材質は問わない。

【0070】第2及び第3の実施形態では、スタックドキャパシタ型DRAMの蓄積電極10の形状を単純箱型を示したが、これに限らず、クラウン型やフィン型などの形状でも構わない。

【0071】絶縁膜4、4'、11、14、12、15の形成法としては、熱酸化による酸化膜形成法を用いてもよいし、30keV程度の低加速エネルギーで酸素を注入した酸化膜を形成してもよいし、絶縁膜を堆積する方法で形成してもよいし、シリコン窒化膜を堆積する方法、これらを組み合わせてもよい。また、素子分離膜や絶縁膜形成法自身は、シリコンをシリコン酸化膜やシリコン窒化膜に変換するこれら以外の方法、例えば酸素イオンを堆積したシリコンに注入する方法や、堆積したシリコンを酸化する方法を用いても構わない。また、勿論、この絶縁膜にシリコン窒化膜その他タンタル酸化膜、チタン酸ストロンチウムやチタン酸バリウム、チタン酸ジルコニウム鉛、ストロンチウムビスマスタントルオキサイドなどの強誘電体膜、常誘電体膜の単層膜又はそれらの複合膜を用いることもできる。

【0072】実施形態としては、素子分離絶縁膜12としてトレンチ分離の素子分離を用いた例を示したが、LOCOS素子分離膜や、リセスLOCOSや改良LOCOS法、トレンチ分離の素子分離やフィールドシールド分離を用いても良いし、これらを組み合わせてもよい。

【0073】実施形態では、p型Si基板上5に半導体構造を形成したが、代わりにn型Si基板やSOI基板、GaAs基板、InP基板を用いても良い。

【0074】さらに、プレート電極16、蓄積電極10やn型層13及びゲート電極7は、多結晶シリコン以外の単結晶シリコン、ポーラスシリコン、アモルファスシリコン、SiGe混晶、SiC混晶、GaAs、W、Ta、Ti、Hf、Co、Pt、Pdの金属、或いはそのシリサイドを用いることもできる。また、これらの積層構造にしてもよい。

【0075】その他、本発明の要旨を逸脱しない範囲で、様々に変形して実施することができる。

【0076】

【発明の効果】以上詳述したように本発明によれば、2層以上の合わせを必要とする下地が存在する層について、それぞれ合わせ下地として必要な軸を選択することによって、2層以上の下地に対しても必要な軸に対しての直接合わせが実現できる。従って、2層以上の合わせを必要とする下地が存在した場合でも、従来のような間接合わせの状態が生じず、合わせ誤差の分散が拡大しない。よって、合わせ余裕を縮小することができ、より高集積化を図ることができる。

【図面の簡単な説明】

【図1】第1の実施形態における合わせ関係を示す模式図。

【図2】ボディコンタクトのあるトランジスタの例を示す平面図と断面図。

【図3】COB型スタックドDRAMの蓄積電極回りの平面図と断面図。

【図4】a方向に蓄積電極への接続用コンタクトがずれた場合の平面図と断面図。

【図5】b方向に蓄積電極への接続用コンタクトがずれた場合の平面図と断面図。

【図6】第2の実施形態における合わせ関係を示す模式図。

【図7】COB型スタックドDRAMのビット線への電極回りの平面図と断面図。

【図8】a方向にビット線への接続用コンタクトがずれた場合の平面図と断面図。

【図9】b方向にビット線への接続用コンタクトがずれた場合の平面図と断面図。

【図10】第3の実施形態における合わせ関係を示す模式図。

【図11】ビット線とゲートとが同一線上にあるCOB型スタックドDRAMのビット線への接続電極まわりの

平面図と断面図。

【図12】a方向にビット線への接続用コンタクトがずれた場合の平面図と断面図。

【図13】b方向にビット線への接続用コンタクトがずれた場合の平面図と断面図。

【図14】第3の実施形態における合わせ関係の別の例を示す模式図。

【図15】トレンチ型DRAMのビット線への接続電極まわりの平面図と断面図。

10 【図16】第4の実施形態における半導体装置構造を示す平面図と断面図。

【図17】第4の実施形態における合わせ関係を示す模式図。

【図18】拡散層とコンタクトとの合わせ余裕を説明するための平面図。

【図19】配線層とコンタクトとの合わせ余裕を説明するための平面図と断面図。

【図20】直接合わせと間接合わせを説明するための模式図。

20 【図21】トランジスタにおける合わせずれの問題説明のための平面図と断面図。

【図22】従来の合わせ関係を示す模式図。

【符号の説明】

1…拡散層

2…コンタクト

3…配線層

4…層間絶縁膜

5…半導体基板

6…配線層

30 7…ゲート

8…コンタクト

11…ゲート絶縁膜

12…素子分離膜

13…ソース・ドレイン拡散層

14…接続電極

15…キャパシタ絶縁膜

16…プレート電極

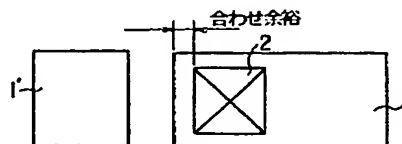
17…ボディコンタクト

18…ボディ領域

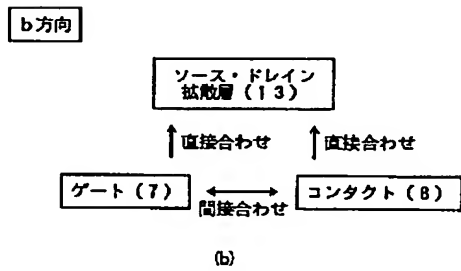
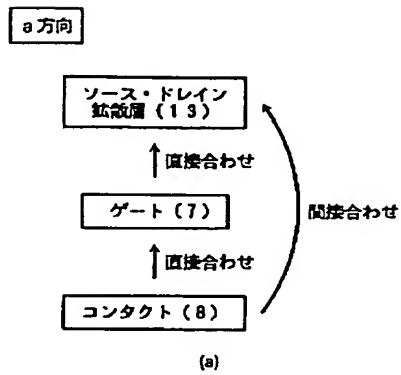
40 20…コンタクト

21…配線

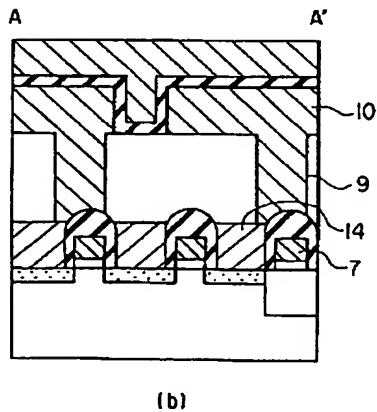
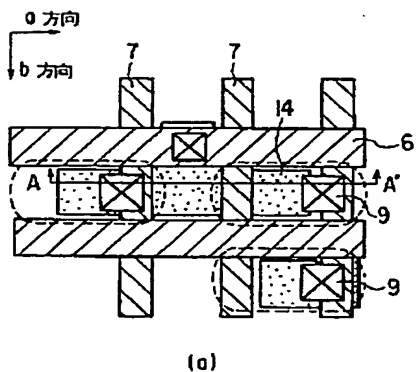
【図18】



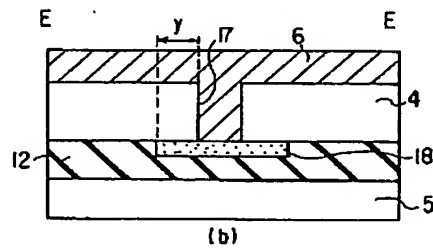
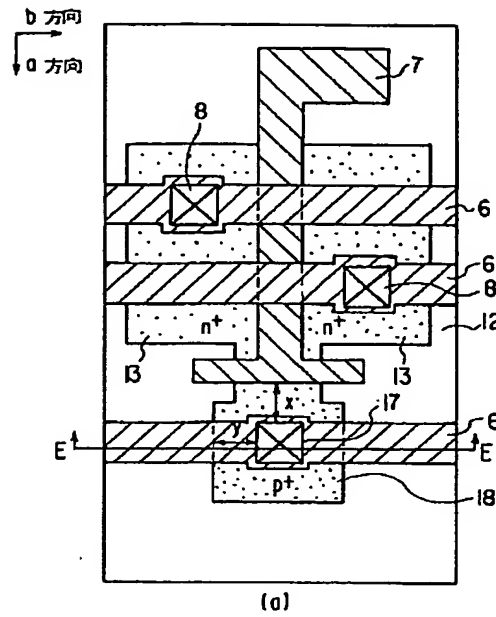
【図 1】



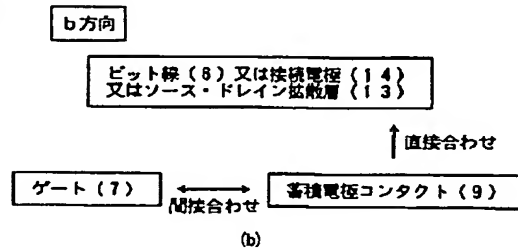
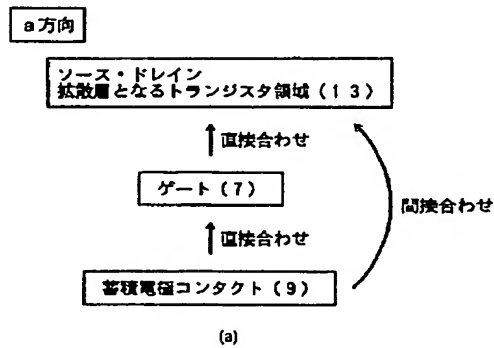
【図 4】



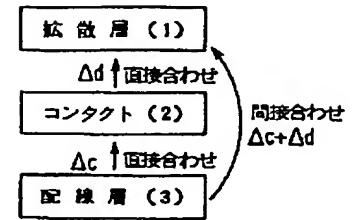
【図 2】



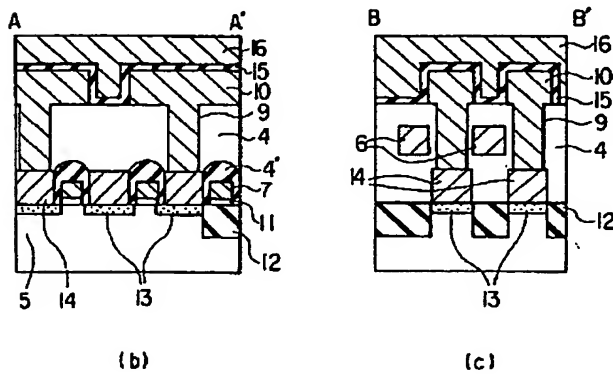
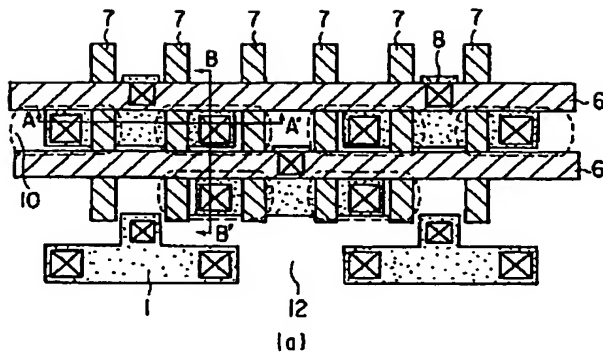
【図 6】



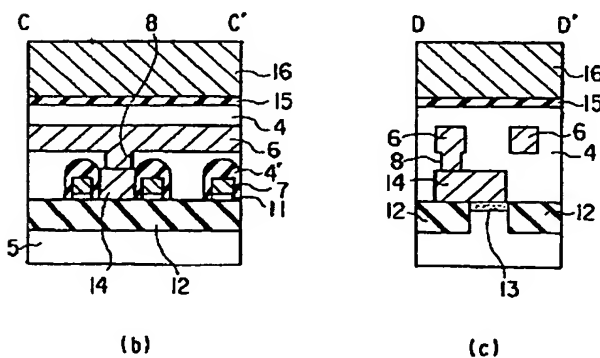
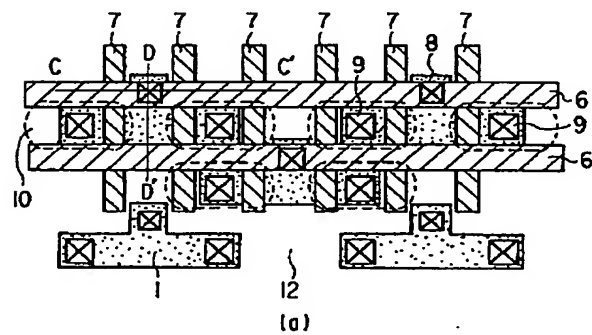
【図 20】



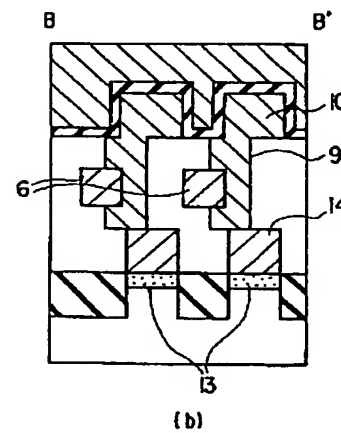
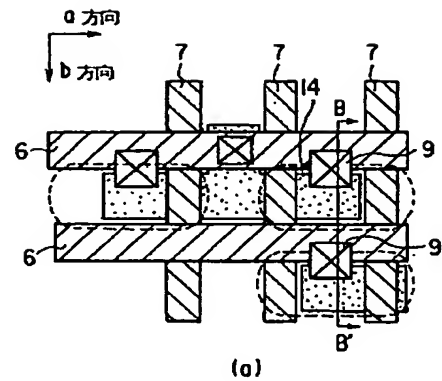
【図 3】



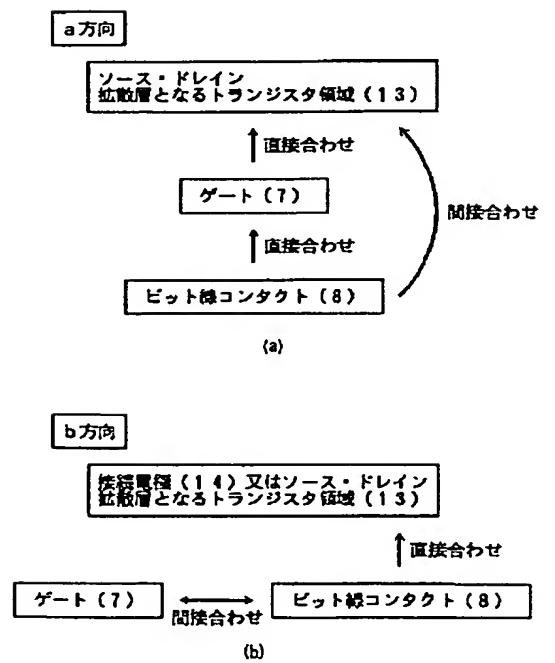
【図 7】



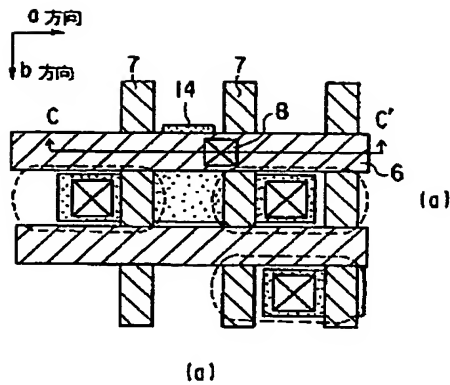
【図 5】



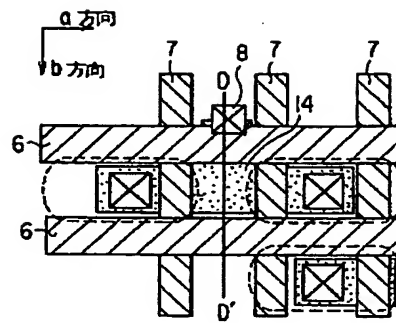
【図 10】



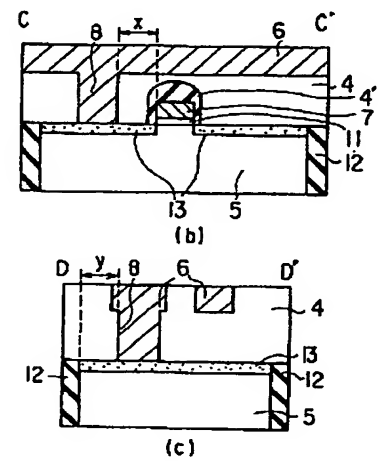
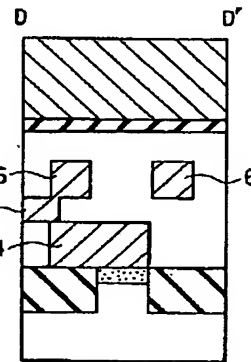
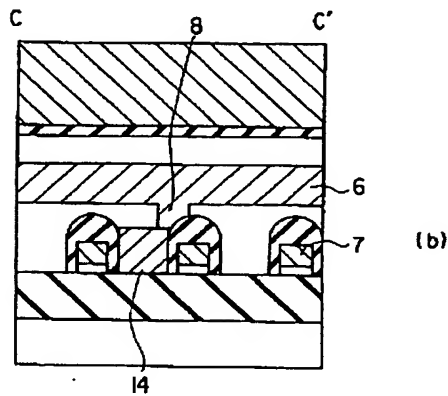
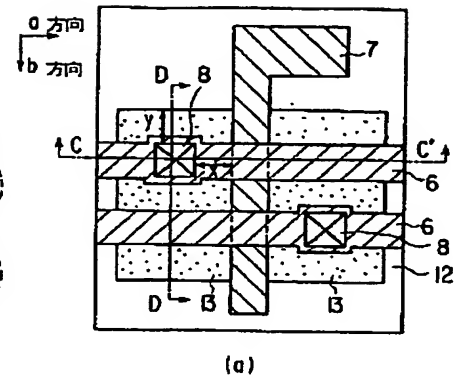
【図 8】



【図 9】

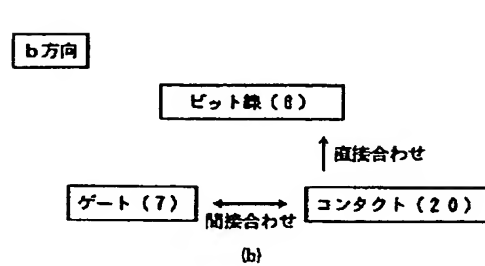
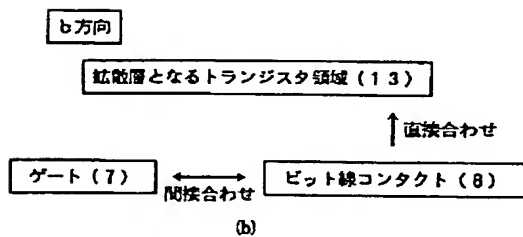
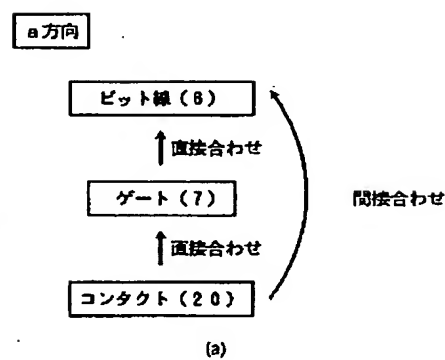
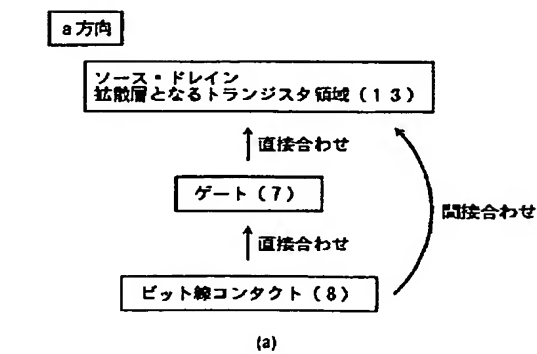


【図 21】

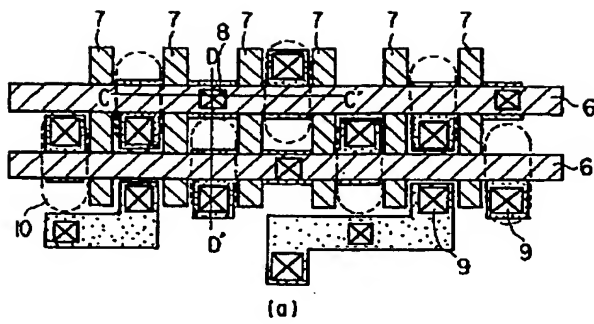


【図 14】

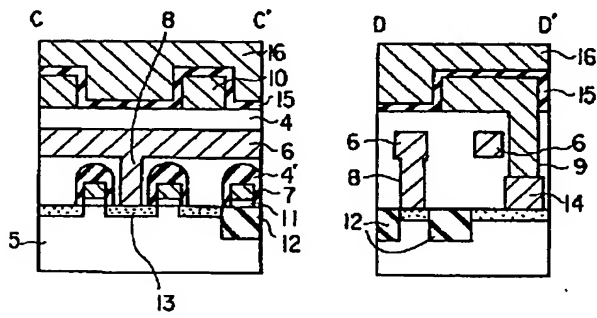
【図 17】



【図11】



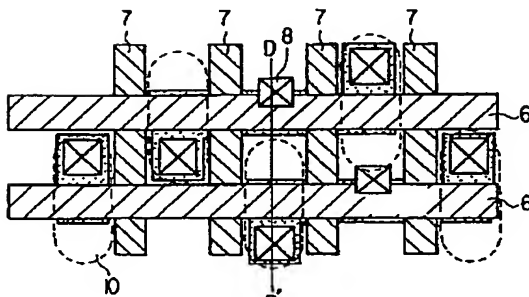
(a)



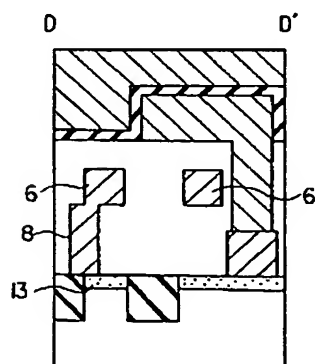
(b)

(c)

【図13】

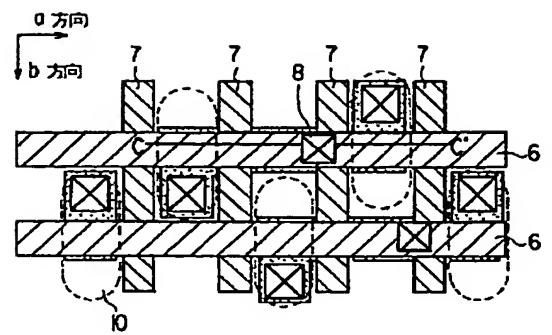


(a)

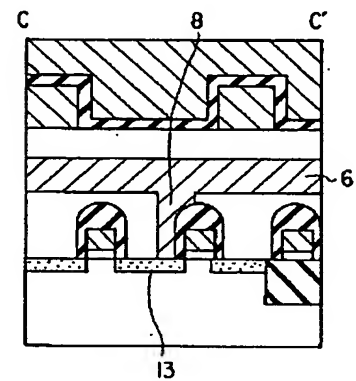


(b)

【図12】

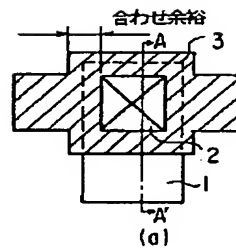


(a)

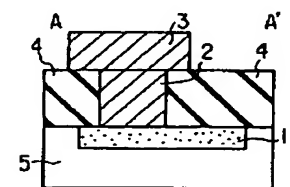


(b)

【図19】

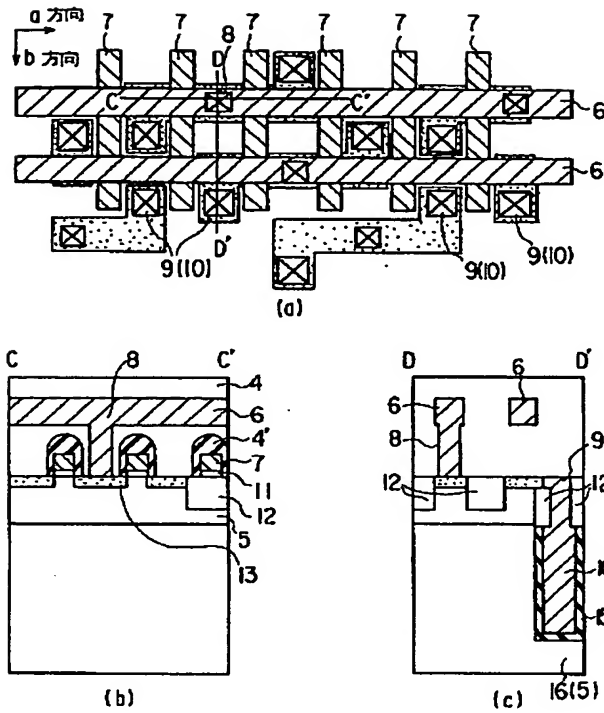


(a)

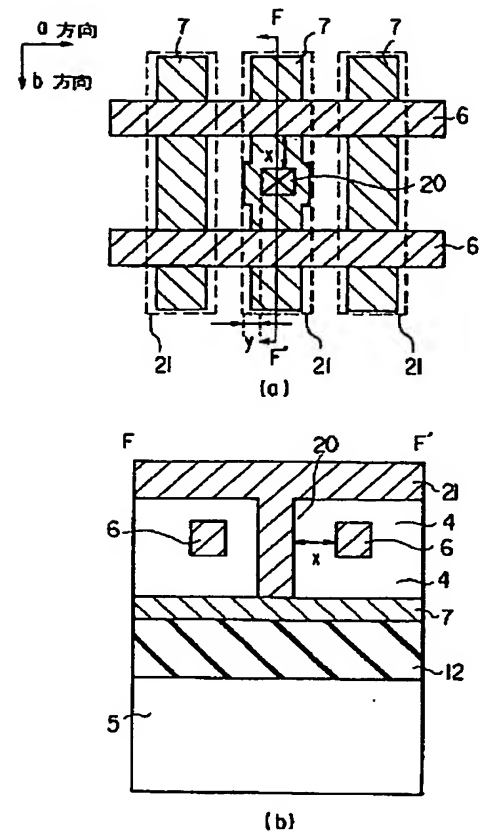


(b)

【図15】



【図16】



【図22】

